

ACCESS METHOD TO ELECTRICALLY REWRITABLE NONVOLATILE MEMORY

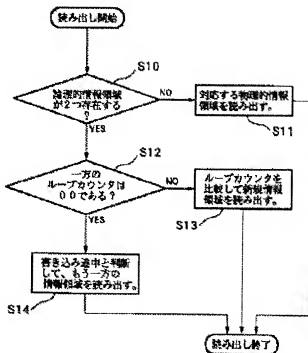
Publication number: JP7281962
Publication date: 1995-10-27
Inventor: AMASHIRO JIYUNYA
Applicant: SANSEI DENSHI JAPAN KK
Classification:
- International: G06F12/16; G06F12/16; (IPC1-7): G06F12/16
- European:
Application number: JP19940077144 19940415
Priority number(s): JP19940077144 19940415

Report a data error here

Abstract of JP7281962

PURPOSE: To ensure a normal access to an electrically rewritable nonvolatile memory despite the occurrence of abnormality of a power supply by having an access to a data storage part by means of plural state values stored in a state storage part.

CONSTITUTION: A block which performs a reading operation is retrieved and it is confirmed whether there exist two same blocks (S10). When only one logical block is retrieved, the data are read out of this block (S11) and the processing ends. It is checked whether either one of both blocks has its state value '00' or not. If not, the state values of both blocks are compared with each other. Then the data are read out of the block that has the newer state value. If the state value is equal to '00', it is decided that the relevant block is kept in a reading state and the data are read out of the other block (S12). Then the processing ends. Thus the blocks can be normally read out.



Data supplied from the esp@cenet database - Worldwide

特開平7-281962

(43)公開日 平成7年(1995)10月27日

(51)Int.Cl.⁴

識別記号

序内整理番号

F I

技術表示箇所

G 0 6 F 12/16

3 4 0 M

7608-5B

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21)出願番号 特願平6-77144

(22)出願日 平成6年(1994)4月15日

(71)出願人 581021763

三星電子ジャパン株式会社

東京都中央区日本橋浜町2丁目31番1号

(72)発明者 天白 順也

東京都中央区日本橋浜町2-31-1 浜町

センタービル17・18F 三星電子ジャパン

株式会社内

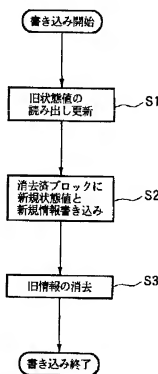
(74)代理人 弁理士 高月 猛

(54)【発明の名称】 電気的書換可能な不揮発性メモリのアクセス方法

(57)【要約】

【目的】 電源異常等が発生しても、電気的書換可能な不揮発性メモリのアクセスが正常に行われるメモリアクセス方法とその装置を提供する。

【構成】 ステップS10では、読みだしを行うブロックの検索を行い、同じ論理的ブロックが2つ存在するかどうかを確認し、同じ論理的ブロックが2つ存在すれば、ステップS12へ進み、2つのブロックの内、どちらか一方の状態値が"00"であるかどうかチェックし、"00"でなければ、2つのブロックの状態値を比較して、その状態値の新しい方のブロックのデータを読み出し、処理を終了する。また、"00"であれば、そのブロックは、書き込み途中と判断して、もう一方のブロックのデータを読み出す。そして、処理を終了する。



【特許請求の範囲】

【請求項1】 電気的書換可能な不揮発性メモリのアクセス方法であって、

電気的書換可能な不揮発性メモリの所定のデータ記憶部へのアクセスの状態値を、所定の状態記憶部に格納する状態値格納工程と、

前記状態記憶部に記憶されている状態値に基づいて、前記データ記憶部をアクセスするデータアクセス工程とを備え、

前記状態値は、少なくとも4状態値を有し、単一方に状態遷移することと特徴とする電気的書換可能な不揮発性メモリのアクセス方法。

【請求項2】 前記アクセス工程は、所定のデータを読み出す場合、所定の参照アドレスに基づいて、前記メモリ工程の各記憶単位を検索し、同じ参照アドレスを持つ記憶単位が複数検索されたなら、前記複数の検索された記憶単位のそれぞれの状態記憶部に記憶されている各状態値で、最新の状態値が格納されている記憶単位を選択し、その選択された記憶単位からデータを読み出すことを特徴とする請求項1に記載の電気的書換可能な不揮発性メモリのアクセス方法。

【請求項3】 前記アクセス工程は、所定のデータを書き込む場合、予めデータが消去された記憶単位を、現在の書き込みアドレスの記憶単位に対応する代替記憶単位とし、

前記代替記憶単位のデータ記憶部に、所定のデータを書き込み、前記代替記憶単位の状態記憶部に、前記現在の書き込み対象の記憶単位の状態記憶部に記憶されている状態値の次の状態値を書き込んだ後、

前記現在の書き込みアドレスの記憶単位のデータを消去し、前記代替記憶単位を、前記現在の書き込みアドレスの記憶単位とすることを特徴とする請求項1に記載の電気的書換可能な不揮発性メモリのアクセス方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電気的書換可能な不揮発性メモリのアクセス方法に関する。

【0002】

【従来の技術】 従来、電気的書換可能な不揮発性メモリを内蔵する情報処理システムでは、電気的書換可能な不揮発性メモリのアクセスを以下の方法により行っていた。

【0003】 図7は、従来の電気的書換可能な不揮発性メモリのあるブロックに対する書き込み処理手順を示す図である。まず、書き込み先のブロックを検索して、そのブロックが存在することを確認後、まず、ステップS100で、使用されていない消去済みのブロックに、新規書き込みデータを書き込む。

【0004】 次に、ステップS101では、検索して確認されたブロックのデータ消去を行う。

【0005】 以上の処理手順で、書き込みデータが、古いブロックの代わりに、新しいブロックが割り当てられ、データが書き込まれる。

【0006】

【発明が解決しようとする課題】 しかしながら、以上説明した従来技術では、ステップS100とステップS101の間で、電源電圧が下がる等の異常が発生した場合、古いブロックと新しいブロックが同時に2つ存在することになり、電源が復帰した後、区別がつかないず、復旧作業ができないという問題があった。

【0007】 本発明は上記従来例に鑑みてなされたもので、電源異常等が発生しても、電気的書換可能な不揮発性メモリのアクセスが正常に行われるメモリアクセス方法を提案することを目的とする。

【0008】

【課題を解決するための手段】 上記目的を達成するため、本発明の電気的書換可能な不揮発性メモリのアクセス方法は以下の構成を備える。即ち、電気的書換可能な不揮発性メモリの所定のデータ記憶部へのアクセスの状態値を、所定の状態記憶部に格納する状態値格納工程と、前記状態記憶部に記憶されている、少なくとも4状態値を有し、単一方に状態遷移する状態値に基づいて、前記データ記憶部をアクセスするデータアクセス工程とを備える。

【0009】

【作用】 以上の構成において、本発明の電気的書換可能な不揮発性メモリのアクセス方法は、電気的書換可能な不揮発性メモリの所定のデータ記憶部へのアクセスの状態値を、所定の状態記憶部に格納し、前記状態記憶部に記憶されている、少なくとも4状態値を有し単一方に状態遷移する状態値に基づいて、前記データ記憶部をアクセスする。

【0010】

【実施例】 図1は、本発明の1実施例であるフラッシュメモリ5を組み込んだ情報処理装置100の主要なハードウェア構成を示す。CPU1は、情報処理装置100全体の制御を行う。ROM2には、フラッシュメモリ5を制御するプログラム等の各種プログラムが格納されている。CPU1は、ROM2に格納されているプログラムを読みだし実行する。RAM3は、各種プログラムが実行するための作業領域やフラッシュメモリ5とのデータの入出力を行うためのバッファ領域としてCPU1によって使用される。フラッシュメモリコントローラ4は、CPU1から指令を受け、フラッシュメモリ5とのデータの入出力のタイミング制御を行う。データバス7は、CPU1、ROM2、RAM3、フラッシュメモリコントローラ4間のインターフェイスを取る。

【0011】 図2は、本実施例の情報処理装置100のフラッシュメモリ5のデータ構造の一例を示す図である。フラッシュメモリ5は、N個のブロック、即ち、

ブロック1"、"ブロック2"、"ブロック3"、"ブロック4"、...、"ブロックN"から構成されており、各ブロックには、そのブロックに対する状態値を格納する状態値格納領域1000がある。各ブロックの状態値格納領域1000以外の領域には、基本的にデータが格納される。各ブロックのサイズは、例えば4Kバイトである。

【0012】状態値格納領域のサイズは、例えば、2ビットである。この領域に格納されている状態値は、データ更新時に1加算される。

【0013】図3は、状態値の状態遷移を示す。即ち、状態"01"の次は、"10"、その次は"11"、そしてその次は"01"...というように、一方向に遷移する。

【0014】状態遷移が起こるのは、データ更新時である。

【0015】図4は、前述した状態値を用いて、データが格納されているフラッシュメモリのあるブロックに対して、データを書き込む処理手順を示すフローチャートである。以下、このフローチャートを参照してデータ書き込み処理手順を説明する。

【0016】尚、図5は、データ書き込み処理手順を説明する為の補足図であり、書き込み時の新旧のブロックと状態値の様子を示す。以下、この図を参照しながら、データ書き込み処理手順を以下説明する。

【0017】ステップS1では、データを書き込むブロック内の、状態値格納領域から状態値を読み出し、その読み出した状態値から、図3に示した状態遷移に従って、次の状態値を求める。例えば、読み出した状態値が"01"ならば、次の状態値は、"10"であり、また、読み出した状態値が"11"ならば、次の状態値は、"01"である。例えば、図5の"旧ブロック"の状態値を読み出した場合、その状態値は"01"であるので、次の状態値は、"10"となる。

【0018】ステップS2では、データ消去済みのブロックに、ステップS1で生成された、つぎの状態値(図5の例では"10")を、そのブロックの状態格納領域に書き込むと共に、そのブロックのデータ領域にデータを書き込む。例えば、図5の"新規ブロック"、即ち、データ消去済みのブロックに、状態値"10"を書き込むとともに、そのデータ領域にデータを書き込む。

【0019】ステップS3では、旧ブロックのデータ消去を行う。

【0020】以上のデータ書き込み処理手順により、処理中断、例えば、電源切断等による処理の中断が発生しても、確実に新規ブロックにデータを書き込むことができる。

【0021】次に、図6のフローチャートを参照して、データ読み出し処理手順を説明する。

【0022】ステップS10では、読み出しを行うブロックの検索を行い、同じ論理的ブロックが2つ存在するかどうか確認する。そして、1つの論理的ブロックだけ

が検索された場合、ステップS11へ進み、検索されたブロックからデータを読み出し、処理を終了する。もし、同じ論理的ブロックが2つ存在すれば、ステップS12へ進む。

【0023】ステップS12では、2つのブロックの内、どちらか一方の状態値が"00"であるかどうかチェックし、"00"でなければ、2つのブロックの状態値を比較して、その状態値の新しい方のブロックのデータを読み出し、処理を終了する。また、"00"であれば、そのブロックは、書き込み途中と判断して、もう一方のブロックのデータを読み出す。そして、処理を終了する。尚、状態値"00"は、以前に、そのブロックに対する新しいデータを書き込む手続きがあった場合、まず、そのブロックのデータを消去する必要があり、消去が終了した段階で、電源電圧が落ちることがあれば、新しいデータが書き込まれる以前の状態、即ち、"00"の状態のままのブロックが残る。

【0024】以上説明したように、状態値を用いることにより、ブロックの読み出しを、正常に行うことができる。

【0025】以上説明したように、本実施例によれば以下のような効果が得られる。即ち、電源異常等の処理の中断が発生しても、電気的書換可能な不揮発性メモリのアクセスを正常に行うことができる。

【0026】

【発明の効果】以上説明したように本発明によれば、電源異常等が発生しても、電気的書換可能な不揮発性メモリのアクセスを正常に行うことができる。

【0027】

【図面の簡単な説明】

【図1】本発明の実施例であるフラッシュメモリを搭載した情報処理装置の構成図である。

【図2】本実施例のフラッシュメモリのデータ構造を示す図である。

【図3】本実施例の情報処理装置のフラッシュメモリに格納されている状態値の状態遷移を示す図である。

【図4】本実施例の情報処理装置のフラッシュメモリにデータを書き込む処理のフローを示す図である。

【図5】データ書き込み時の新旧のブロックと状態値の様子を示す図である。

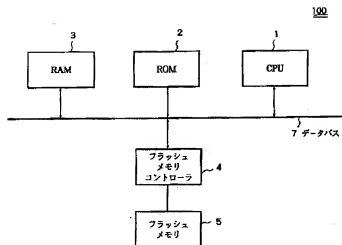
【図6】本実施例の情報処理装置のフラッシュメモリからデータを読み出す処理のフローを示す図である。

【図7】従来のデータを書き込み処理のフローを示す図である。

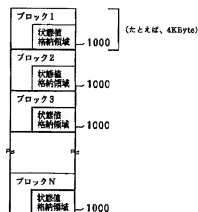
【符号の説明】

- 1 CPU
- 2 ROM
- 3 RAM
- 4 フラッシュメモリコントローラ
- 5 フラッシュメモリ

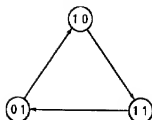
【図1】



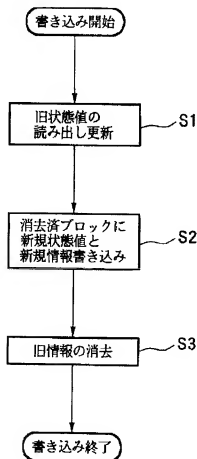
【図2】



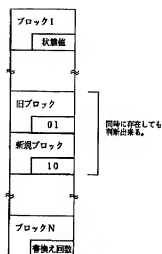
【図3】



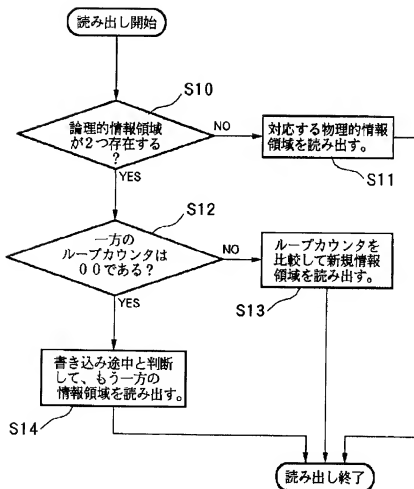
【図4】



【図5】



【図6】



【図7】

